

THIN FILM CONDUCTOR LAYER, MAGNETORESISTIVE ELEMENT USING THE SAME AND METHOD OF PRODUCING THIN FILM CONDUCTOR LAYER

Patent Number: [US2002012206](#)

Publication date: 2002-01-31

Inventor(s): KANNO HIROYUKI (JP)

Applicant(s):

Requested Patent: [JP2000022236](#)

Application Number: US19990336300 19990621

Priority Number(s): JP19980184391 19980630

IPC Classification: G11B5/39

EC Classification: [G01R33/09B, H01F10/32N](#)

Equivalents: JP3227128B2, KR2000006501, [US6359760](#)

Abstract

In a magnetoresistive element, deposition of a conductor layer in a DC magnetron sputtering apparatus causes application of tensile stress to the conductor layer, causing the problem of readily producing separation of the conductor layer. In the present invention, a conductor layer is formed so that the crystal face spacing in the direction perpendicular to the film plane is larger than the crystal face spacing of a bulk material. This permits application of compression stress to the conductor layer, preventing separation of the conductor layer

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-22236

(P2000-22236A)

(43)公開日 平成12年1月21日 (2000.1.21)

(51)Int.Cl.⁷

H 01 L 43/08
C 23 C 14/38
G 11 B 5/39
H 01 F 10/30
H 01 L 43/12

識別記号

F I
H 01 L 43/08
C 23 C 14/38
G 11 B 5/39
H 01 F 10/30
H 01 L 43/12

デマコ[®] (参考)
Z 4 K 0 2 9
5 D 0 3 4
5 E 0 4 9

審査請求 有 請求項の数 9 O.L. (全 9 頁)

(21)出願番号

特願平10-184391

(22)出願日

平成10年6月30日 (1998.6.30)

(71)出願人 000010098

アルプス電気株式会社

東京都大田区雪谷大塚町1番7号

(72)発明者 管野 広之

東京都大田区雪谷大塚町1番7号 アルブ
ス電気株式会社内

(74)代理人 100085453

弁理士 野▲崎▼ 照夫

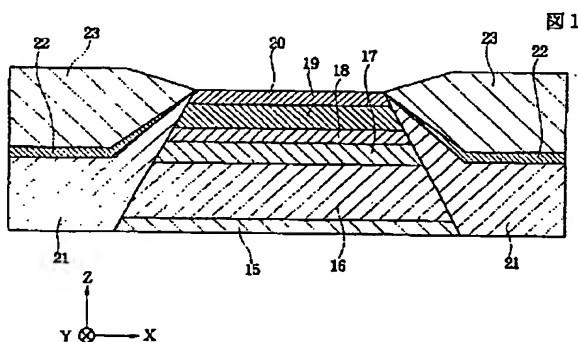
最終頁に続く

(54)【発明の名称】 薄膜導体層及び前記薄膜導体層を用いた磁気抵抗効果素子並びに薄膜導体層の製造方法

(57)【要約】

【課題】 磁気抵抗効果素子の導体層を、DCマグネットロンスバッタ装置内で成膜すると、前記導体層に引っ張り応力が作用し、前記導体層は膜剥がれを起し易いといった問題があった。

【解決手段】 導体層23は、その膜面に対する垂直方向における結晶面間隔が、バルク材の場合における前記結晶面間隔よりも大きくなるように形成されている。これにより、前記導体層23には、圧縮応力が作用し、前記導体層23の膜剥がれを防止することができる。



【特許請求の範囲】

【請求項1】 金属材料によって薄膜形成された導体層の、その膜面に対する垂直方向の結晶面間隔が、導体層と同じ金属材料で形成されるバルク材の膜面に対する垂直方向の結晶面間隔以上で形成されていることを特徴とする薄膜導体層。

【請求項2】 前記金属材料はbcc構造のCrであり、前記導体層の膜面に対する垂直方向の(110)面間隔が、2.039オングストローム以上である請求項1記載の薄膜導体層。

【請求項3】 前記薄膜導体層の下側には、下地層が形成されている請求項1または請求項2に記載の薄膜導体層。

【請求項4】 前記下地層は、 β 相で、膜面に対する垂直方向の結晶面が(002)面であるTaによって形成される請求項3記載の薄膜導体層。

【請求項5】 反強磁性層と、この反強磁性層と接して形成され、前記反強磁性層との交換結合磁界により磁化方向が固定される固定磁性層と、前記固定磁性層に非磁性導電層を介して形成されたフリー磁性層とを有する積層体の両側に、請求項1ないし請求項4のいずれかに記載の薄膜導体層が形成されていることを特徴とする磁気抵抗効果素子。

【請求項6】 非磁性層を介して重ねられた磁気抵抗層と軟磁性層とを有する積層体の両側に、請求項1ないし請求項4のいずれかに記載の薄膜導体層が形成されていることを特徴とする磁気抵抗効果素子。

【請求項7】 前記薄膜導体層は、記録媒体との対向面に露出して形成されている請求項5または6に記載の磁気抵抗効果素子。

【請求項8】 請求項1ないし請求項4のいずれかに記載された薄膜導体層をDCマグネットロンスパッタ装置内で、基板上に成膜する際に、前記基板側にDCバイアスを供給することを特徴とする薄膜導体層の製造方法。

【請求項9】 前記薄膜導体層の膜面に対する垂直方向の結晶面間隔を、前記DCバイアスの電圧値により調整する請求項8記載の薄膜導体層の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えば外部磁界を検出するための磁気抵抗効果素子に形成されている導体層に係わり、特に、前記導体層の剥離を防止できる薄膜導体層及びこの薄膜導体層を用いた磁気抵抗効果素子並びに薄膜導体層の製造方法に関する。

【0002】

【従来の技術】 磁気抵抗効果素子には、異方性磁気抵抗効果を利用したAMR (anisotropic magnetoresistive) 素子と、巨大磁気抵抗効果を利用したGMR (giant magnetoresistive) 素子があるが、GMR素子の方がAMR素子に比べ、高い抵抗変化率を得ることがで

きる。前記GMR素子の中でも比較的構造が単純で、しかも弱い外部磁界で抵抗が変化するスピナーバルブ型薄膜素子は、最も単純な構造で反強磁性層、固定磁性層、非磁性導電層、及びフリー磁性層の4層から成る。

【0003】 図9は、従来におけるスピナーバルブ型薄膜素子を記録媒体との対向面側から見た断面図である。符号6はTaなどで形成された下地層であり、この下地層6の上に、反強磁性層1、固定磁性層2、非磁性導電層3、フリー磁性層4、及び保護層7が順に積層されている。図9に示すように、反強磁性層1と固定磁性層2は接して形成され、前記反強磁性層1と固定磁性層2との界面にて発生する交換結合磁界によって前記固定磁性層2は例えば図示Y方向に固定されている。

【0004】 図9に示すように、下地層6から保護層7までの積層体の両側には、ハードバイアス層5、5が形成されており、このハードバイアス層5、5からのバイアス磁界によって、フリー磁性層4の磁化は例えば図示X方向に揃えられている。さらに前記ハードバイアス層5、5の上には、密着層8を介して主導体層9が形成されており、さらに前記主導体層9の上に密着層(保護層)10が形成されている。なお、以下では、前記密着層8、10と主導体層9を総合して「導体層」と記述する場合がある。前記密着層8、10は例えばCr、W、Nbなどで形成されており、また主導体層9は、 α -Taや、Au、Ag、Cuなどで形成されている。

【0005】

【発明が解決しようとする課題】 ところで上述した従来のスピナーバルブ型薄膜素子は、スパッタ法や蒸着法などによって成膜され、スパッタ装置としては既存のものが使用される。スパッタ装置の中でも、特に膜厚の再現性に優れたDCマグネットロンスパッタ装置を使用することが好ましい。DCマグネットロンスパッタ装置は、装置内に、基板と電極部とが対向して配置され、前記電極部内には磁石が設けられている。前記電極部にはDC電源が取付けられており、前記DC電源を作動させることにより、電場と磁場の関係によって、マグネットロン放電が発生し、前記電極部に設けられたターゲットがスパッタされ、前記ターゲットと対向する基板上に薄膜(積層体)が形成されていく。

【0006】 ところがこのDCマグネットロンスパッタ装置によって、スピナーバルブ型薄膜素子の導体層を成膜すると、前記導体層には、膜面と平行な方向に引っ張り応力が働き、前記導体層が膜剥がれを起すといった問題がある。また前記導体層に引っ張り応力が加わることにより、所定の膜厚まで、前記導体層の膜厚を厚くすることが困難となる。

【0007】 さらに従来では、主導体層9は、例えばAuやAgなどで形成されているが、この金属材料は非常に軟らかいために、成膜後、記録媒体との対向面をドライエッキングによって削り、図9に示すスピナーバルブ型

薄膜素子の構造を外部に露出させると、前記主導体層9の部分がだれて、前記主導体層9の部分に窪み（リセス）が生じる。このような「だれ」が生じると、例えばショートなどの原因となり好ましくない。

【0008】本発明は上記従来の問題を解決するためのものであり、特に、導体層を成膜した際に前記導体層に対し圧縮応力が作用するようにして、前記導体層の膜剥がれを防止できる薄膜導体層及びこれを用いた磁気抵抗効果素子、並びに薄膜導体層の製造方法を提供することを目的としている。

【0009】

【課題を解決するための手段】本発明は、金属材料によって薄膜形成された導体層の、その膜面に対する垂直方向の結晶面間隔が、導体層と同じ金属材料で形成されるバルク材の膜面に対する垂直方向の結晶面間隔以上で形成されていることを特徴とするものである。また本発明では、前記金属材料はbcc構造のCrであり、前記導体層の膜面に対する垂直方向の(110)面間隔が、2.039オングストローム以上であることが好ましい。また、前記薄膜導体層の下側には、下地層が形成されていることが好ましく、前記下地層は、 β 相で、膜面に対する垂直方向の結晶面が(002)面であるTaによって形成されることが好ましい。

【0010】また本発明は、反強磁性層と、この反強磁性層と接して形成され、前記反強磁性層との交換結合磁界により磁化方向が固定される固定磁性層と、前記固定磁性層に非磁性導電層を介して形成されたフリー磁性層とを有する積層体の両側に、前記薄膜導体層が形成されていることを特徴とする磁気抵抗効果素子を提示できる。さらに本発明は、非磁性層を介して重ねられた磁気抵抗層と軟磁性層とを有する積層体の両側に、請求項1ないし請求項4のいずれかに記載の薄膜導体層が形成されていることを特徴とする磁気抵抗効果素子を提示できる。また本発明では、前記薄膜導体層は、記録媒体との対向面に露出して形成されていることが好ましい。

【0011】また本発明における薄膜導体層の製造方法は、前記薄膜導体層をDCマグネットロンスパッタ装置内で、基板上に成膜する際に、前記基板側にDCバイアスを供給することを特徴とするものである。本発明では、前記薄膜導体層の膜面に対する垂直方向の結晶面間隔を、前記DCバイアスの電圧値により調整している。

【0012】従来では、例えば磁気抵抗効果素子に形成される導体層（薄膜導体層）には、引っ張り応力が作用し、このため前記導体層は膜剥がれを起し易くなっていた。そこで本発明では、導体層の結晶面の間隔を適正に調整して、前記導体層に圧縮応力が加わるようにしている。

【0013】本発明者らは、導体層に使用される金属材料の膜面に対する垂直方向の結晶面間隔と、応力との関係について調べ、前記結晶面間隔が大きくなるほど、

前記導体層に加わる応力が引っ張り応力から圧縮応力に変化していくことを見出した。特に引っ張り応力から圧縮応力に移行するときの結晶面間隔は、前記金属材料をバルク材として形成した場合のその膜面に対する垂直方向の結晶面間隔と等しいことが実験によりわかつている。そこで本発明では、薄膜形成された導体層の膜面に対する垂直方向の結晶面間隔は、バルク材として形成した場合の膜面に対する垂直方向の結晶面間隔以上で形成されることを特徴としている。

【0014】また従来では、図9に示す主導体層9としてAuなどの軟らかい金属材料を使用していたが、これらの金属材料は、記録媒体との対向面に露出すると、「だれ」などが生じるため、ショートの危険性などがあった。そこで本発明では、前記Auなどの軟らかい金属材料に代わり、Crなど硬い金属材料を使用することが好ましいとしており、これによって、「だれ」が生じる危険性を防ぐことができる。

【0015】ところで、本発明のように、薄膜形成された導体層の膜面に対する垂直方向の結晶面間隔を、バルク材の場合の結晶面間隔以上で形成する方法としては、DCマグネットロンスパッタ装置を使用した場合に、基板側にもDCバイアスを供給することにより、薄膜導体層の結晶面間隔を大きくすることが可能となる。

【0016】

【発明の実施の形態】図1は本発明における第1の実施形態のスピンドル型薄膜素子の構造を記録媒体との対向面側から見た場合の断面図である。このスピンドル型薄膜素子は、ハードディスク装置に設けられた浮上式スライダのトレーリング側端部などに設けられて、ハードディスクなどの記録磁界を検出するものである。なお、ハードディスクなどの磁気記録媒体の移動方向はZ方向であり、磁気記録媒体からの洩れ磁界方向はY方向である。

【0017】図1の最も下に形成されているのは、Ta（タンタル）などの非磁性材料で形成された下地層15である。この下地層15の上に、反強磁性層16、固定磁性層17、非磁性導電層18、及びフリー磁性層19が積層されている。そして前記フリー磁性層19の上にTaなどの保護層20が形成されている。

【0018】前記反強磁性層16は、従来から反強磁性材料として使用されている例えばNiMn合金膜などで形成されていてもよいが、本発明では、特に、ブロッキング温度が高く、さらに固定磁性層との界面で大きな交換結合磁界を発生するPtMn合金膜などの白金族元素を用いた反強磁性材料を用いることが好ましい。また固定磁性層17及びフリー磁性層19は、例えばNiFe合金膜、CoFe合金膜、Co膜、あるいはCoNiFe合金膜などで形成されている。さらに非磁性導電層18は、Cu膜などで形成されている。

【0019】また前記固定磁性層17と反強磁性層16

とは接して形成され、前記固定磁性層17は、反強磁性層16との界面で発生する交換結合磁界によって、磁化が例えば図示Y方向に固定されている。

【0020】図1に示すように、下地層15から保護層20までの積層体の両側には、ハードバイアス層21、21が形成されている。前記ハードバイアス層21、21は、例えば、CoPt合金やCoCrPt合金などで形成されている。前記ハードバイアス層21、21は例えば図示X方向に磁化され、前記ハードバイアス層21からのバイアス磁界によって、フリー磁性層19の磁化は図示X方向に揃えられている。

【0021】本発明では、図1に示すように、ハードバイアス層21、21の上に、下地層22、22を介して、導体層(薄膜導体層)23、23が成膜されている。前記導体層23、23は、金属材料で形成され、本発明では特にCr膜で形成されていることが好ましい。

【0022】図1に示す前記導体層23、23は、膜面に対する垂直方向(図示Z方向)の結晶面間隔が、前記導体層23、23を構成するのと同じ金属材料によって形成されたバルク材の膜面に対する垂直方向の結晶面間隔以上で形成されている。なお、結晶面間隔の調整方法については後述する。

【0023】本発明では、前記導体層23、23は、その膜面に対する垂直方向の結晶面間隔が、垂直方向に伸びて成膜されるため、膜面と平行な方向に対しては圧縮応力が加わって成膜される。このようにして圧縮応力が加わった状態で導体層23、23が成膜されると、成膜された前記導体層23、23は、前記圧縮応力に反発して、膜面方向に広がろうとする。ところが、前記導体層23の下層からは、膜面方向に広がろうとする導体層23、23に対し圧縮応力が作用する。前記導体層23に圧縮応力が作用することによって、前記導体層23は下層に密着し、前記導体層23の膜剥がれを防止できる。また前記導体層23に圧縮応力が加わることで、所定の膜厚まで容易に、前記導体層23の膜厚を厚く形成でき、直流抵抗(DCR)の低下を図れる。

【0024】前述したように、本発明では前記導体層23、23はCr膜で形成されていることが好ましいが、通常、前記Cr膜は成膜されると、前記Cr膜の結晶構造はbcc構造(体心立方構造)で、しかも膜面に対する垂直方向の結晶面は(110)面となる。本発明では、前記導体層23がCr膜で形成された場合、前記(110)面間隔は、2.039オングストローム以上であることが好ましい。Crのバルク材では、(110)面間隔が2.039オングストロームであるので、薄膜形成されたCr膜の(110)面間隔を2.039オングストローム以上とすることにより、前記Cr膜に圧縮応力が加わり、Cr膜の膜剥がれを防止することが可能である。また、従来、導体層23として使用されていたAuなどに比べ、Crは安価である。さらに導体層

23としてAuなどを使用すると、記録媒体との対向面をドライエッチングによって削り、図1に示す膜構造を外部に露出させた場合に、導体層がだれて、リセスが発生しやすくなっていたが、Crは、Auに比べ硬い金属材料であるために、導体層23をCr膜で形成することにより、前記導体層23の「だれ」を防止できる。

【0025】また本発明では、図1に示すように、ハードバイアス層21、21と導体層23、23との間には、下地層22が形成されていることが好ましく、前記下地層22は、β相で膜面に対する垂直方向の結晶面が(002)面であるTa膜(以下、β-Ta膜とする)で形成されていることが好ましい。前記下地層22は、例えば50オングストローム程度の膜厚で形成されている。β-Ta膜で形成された下地層22が、導体層23の下に敷かれることにより、前記導体層23の配向性を高め、前記導体層23の比抵抗を低下させることができる。例えば、β-Taの下地層22が形成されない場合、Cr膜で形成された導体層23の比抵抗は、約32(μΩcm)であるのに対し、β-Taの下地層22が形成されると、Cr膜で形成された導体層23の比抵抗は、約27(μΩcm)となり、比抵抗を低下させることができると可能となる。またβ-Ta膜で形成された下地層22は耐食性にも優れており、さらに製造工程を簡略化できる。従来、導体層としてα-Ta膜を使用することがあったが、このα-Ta膜を成膜する場合には、装置内に酸素を導入する必要性があった。しかし、本発明のように、下地層22としてβ-Taを成膜する場合には、酸素の導入が必要なくなり、従来に比べ、製造工程の簡略化を実現できるのである。

【0026】図1に示すスピナブル型薄膜素子では、導体層23からフリー磁性層19、非磁性導電層18及び固定磁性層17に定常電流(センス電流)が与えられ、しかも記録媒体からY方向へ磁界が与えられると、前記フリー磁性層19の磁化方向がX方向からY方向に向けて変化する。このとき前記フリー磁性層19と固定磁性層17のうち、片方の層から他方の層へ移動しようとする電子が、非磁性導電層18と固定磁性層17との界面、または非磁性導電層18とフリー磁性層19との界面で散乱を起し、電気抵抗が変化する。よって電圧が変化し、検出出力を得ることができる。

【0027】図2は本発明における第2の実施形態のスピナブル型薄膜素子を、記録媒体との対向面側から見た断面図である。このスピナブル型薄膜素子の膜構成は、下から下地層30、フリー磁性層31、非磁性導電層32、固定磁性層33、反強磁性層34、及び保護層35の順に形成され、前記下地層30から保護層35までの積層体(以下、スピナブル膜という)の両側には、ハードバイアス層36、下地層37及び導体層38が積層されている。

【0028】図1に示すスピナブル型薄膜素子の導体

層23と同様に、図2に示すスピナル型薄膜素子の導体層38は、その膜面に対する垂直方向(図示Z方向)の結晶面間隔が、バルク材の場合の膜面に対する垂直方向の結晶面間隔以上で形成されており、成膜された前記導体層38には、圧縮応力が加わった状態となっている。このため前記導体層38は下層に密着し、前記導体層38の膜剥がれを防止できる。また前記導体層38は、Cr膜で形成されていることが好ましく、膜面に対する垂直方向の(110)面間隔は、2.039オングストローム以上であることが好ましい。

【0029】さらに本発明では、図2に示すように、ハードバイアス層56と導体層38との間に、 β -Ta膜の下地層57が形成されていることが好ましく、導体層38の下に下地層57が敷かれることにより、前記導体層38の対向性を高め、前記導体層38の比抵抗を低下させることが可能である。

【0030】図3は本発明における第3の実施形態のスピナル型薄膜素子を、記録媒体との対向面側から見た断面図である。このスピナル型薄膜素子は、デュアルスピナル型薄膜素子と呼ばれるのであり、図1、2に示すスピナル型薄膜素子(シングルスピナル型薄膜素子)に比べ、高い抵抗変化率を得ることが可能である。

【0031】図3に示すスピナル型薄膜素子の膜構成は、下から下地層40、反強磁性層41、固定磁性層42、非磁性導電層43、フリー磁性層44、非磁性導電層45、固定磁性層46、反強磁性層47、及び保護層48の順に積層されている。前記下地層40から保護層48までの積層体の両側には、ハードバイアス層49、下地層50及び導体層51が積層されている。

【0032】図3に示すスピナル型薄膜素子の導体層51は、その膜面に対する垂直方向(図示Z方向)の結晶面間隔が、前記導体層51を形成する金属材料のバルク材の場合における、膜面に対する垂直方向の結晶面間隔以上で形成されており、成膜された前記導体層51には、圧縮応力が加わった状態となっている。このため前記導体層51は下層に密着し、前記導体層51の膜剥がれを防止できる。また前記導体層51は、Cr膜で形成されていることが好ましく、膜面に対する垂直方向の(110)面間隔は、2.039オングストローム以上であることが好ましい。

【0033】さらに本発明では、図3に示すように、ハードバイアス層49と導体層51との間に、 β -Ta膜の下地層50が形成されていることが好ましく、導体層51の下に下地層50が敷かれることにより、前記導体層51の対向性を高め、前記導体層51の比抵抗を低下させることが可能である。

【0034】図4は、記録媒体からの記録磁界を検出するためのAMR(amisotropic magnetoresistive)素子を記録媒体との対向面側から見た断面図である。前記

AMR素子は、下から軟磁性層(SAL層)52、非磁性層(SHUNT層)53、磁気抵抗層54(MR層)54及び保護層55の順に積層され、この積層体の両側には、ハードバイアス層56、56が形成されている。前記軟磁性層52には、NiFeNb合金膜、非磁性層53にはTa膜、磁気抵抗層54にはNiFe合金膜、ハードバイアス層56にはCoPt合金膜が、一般的に使用される。

【0035】図4に示すAMR素子では、ハードバイアス層56の上に、下地層57を介して導体層58が形成されている。この導体層58も、図1から図3に示す各スピナル型薄膜素子の導体層と同様に、膜面に対する垂直方向(図示Z方向)の結晶面間隔が、前記導体層58を形成する金属材料のバルク材の場合における、膜面に対する垂直方向の結晶面間隔以上で形成されており、成膜された前記導体層58には、圧縮応力が加わった状態となっている。このため前記導体層58は下層に密着し、前記導体層58の膜剥がれを防止できる。また前記導体層58は、Cr膜で形成されていることが好ましく、膜面に対する垂直方向の(110)面間隔は、2.039オングストローム以上であることが好ましい。

【0036】さらに本発明では、図4に示すように、ハードバイアス層56と導体層58との間に、 β -Ta膜の下地層57が形成されていることが好ましく、導体層58の下に下地層57が敷かれることにより、前記導体層58の対向性を高め、前記導体層58の比抵抗を低下させることが可能である。

【0037】このAMR素子では、ハードバイアス層56が図示X方向に磁化されており、このハードバイアス層56により磁気抵抗層54にX方向のバイアス磁界が与えられる。さらに軟磁性層52から磁気抵抗層54に図示Y方向のバイアス磁界が与えられる。磁気抵抗層54にX方向とY方向のバイアス磁界が与えられることにより、磁気抵抗層54の磁界変化に対する磁化変化が直線性を有する状態に設定される。

【0038】導体層58からの検出電流(センス電流)は、磁気抵抗層54に与えられる。記録媒体の走行方向はZ方向であり、記録媒体からの渦電流がY方向に与えられると、磁気抵抗層54の磁化方向が変化することにより、抵抗値が変化し、これが電圧変化として検出される。

【0039】次に、上述した図1から図3に示すスピナル型薄膜素子、及び図4のAMR素子の製造方法について説明する。図1から図4に示す磁気抵抗効果素子は、スパッタ法やあるいは蒸着法によって成膜される。スパッタ装置としては既存のものを使用すればよいが、特に本発明では、DCマグネットロンスパッタ装置が使用される。このDCマグネットロンスパッタ装置は、他のスパッタ装置に比べ、前記磁気抵抗効果素子の各層を所定

の膜厚で形成しやすく、膜厚の再現性に優れている。

【0040】図5は、本発明におけるDCマグネットロンスパッタ装置の内部構造を示す構成図である。図5に示すように、マグネットロンスパッタ装置60のチャンバー61内には、ターゲット62を取付けるための電極部63と、前記ターゲット62と対向する位置に、基板保持部64とが設けられている。前記基板保持部64上には、基板65が置かれている。また電極部63内には、磁石66が設けられている。さらに、前記チャンバー61内には、ガス導入口67と、ガス排気口68とが設けられており、前記ガス導入口67からArガスが導入される。

【0041】前述したように従来では、磁気抵抗効果素子の導体層として α -Ta膜を使用する場合があったが、この場合、ガス導入口67からはArガスのみならず、O(酸素)量も適正に調整して導入する必要があった。これに対し、同じTaでも本発明では、導体層とハードバイアス層との間に介在する下地層を β -Ta膜で形成しているので、前記ガス導入口67からはArガスのみを導入すればよく、製造工程の簡素化を実現できる。

【0042】図5に示すように、電極部63には、DC電源69が接続されており、前記DC電源69を作動させることにより、電場と磁場との相互作用により、マグネットロン放電が発生し、前記ターゲット62がスパッタされ、前記ターゲット62と対向する位置に配置された基板65上に積層体71が成膜される。

【0043】本発明では、さらに基板65側にもDC電源70が接続されている。基板65上に成膜された積層体71の導体層を成膜する際に、基板65側のDC電源70を作動させることにより、成膜された前記導体層の表面を逆スパッタにより削ることができる。逆スパッタによって前記導体層の結晶の格子間に歪みが生じ、膜面に対する垂直方向の結晶面間隔は大きくなる。

【0044】本発明では、基板65側のDC電源70からのDCバイアスを強くすることにより、前記導体層の結晶面間隔を大きくできることが実験によりわかっている。本発明では、DCバイアスの強さを調整し、前記導体層の膜面に対する垂直方向の結晶面間隔が、バルク材の場合の膜面に対する垂直方向の結晶面間隔よりも大きくなるようにする必要性がある。

【0045】図1から図4に示す磁気抵抗効果素子を成膜した後、記録媒体との対向面をドライエッティングによって削り、前記磁気抵抗効果素子の各層を外部に露出させる。本発明では、例えば導体層をCr膜で形成しているので、前記導体層を外部に露出させた際に、Cr膜に「だれ」が生ずる可能性はなく、リセスの発生を防ぐことができる。

【0046】以上詳述した本発明によれば、ハードバイアス層の上に形成される導体層の膜面に対する垂直方向

の結晶面間隔を、バルク材の場合の膜面に対する垂直方向の結晶面間隔以上で形成することにより、前記導体層に対し圧縮応力を加えることができ、前記導体層の膜剥がれを防止できるとともに、前記導体層を適正な厚さで形成することが可能となる。特に本発明では、前記ハードバイアス層と導体層との間に β -Ta膜の下地層を形成することが好ましく、前記導体層の下に下地層を敷くことにより、前記導体層の配向性を高め、比抵抗を低下させることができる。

【0047】また、上述した導体層の結晶面間隔の調整は、既存のDCマグネットロンスパッタ装置の基板側にもDC電源を接続し、基板側にDCバイアスを供給することにより、容易に導体層の結晶面間隔を大きくすることができます。なお本発明における薄膜導体層は、磁気抵抗効果素子の実施例を挙げて説明したが、例えば半導体のDRAMなどの導体層にも本発明を適用できる。

【0048】

【実施例】本発明では、実際にDCマグネットロンスパッタ装置内の基板上にCr膜を成膜し、基板側に供給するDCバイアスの強さと、Cr膜に加わる応力との関係、及びDCバイアスの強さと、Cr膜の(110)面間隔との関係について調べた。なお、基板上には、Cr膜を成膜する前に、 β -Ta膜で形成された下地層を成膜し、その後、Cr膜を成膜した。

【0049】まず、基板側に供給されるDCバイアスの強さと、導体層(Cr膜)に加わる応力との関係について図6を参照しながら説明する。なお縦軸の「応力」とは、前記導体層の膜面と平行な方向から加わる応力のことを指している。図6に示すように、DCバイアスを強くしていくと、導体層に加わる応力は、プラスの値からマイナスの値に変化することがわかる。ここでプラス側の応力は、導体層に引っ張り応力が加わり、マイナス側の応力は、前記導体層に圧縮応力が加わることを意味しているので、DCバイアスを強くすることにより、導体層に、圧縮応力を加えることができるとわかる。

【0050】図7は、基板側に供給されるDCバイアスの強さと、Cr膜の(110)面間隔との関係を示すグラフである。なおCr膜の結晶構造はbcc構造であり、膜面に対する垂直方向の結晶面は(110)面となっている。図7に示すように、DCバイアスを強くしていくと、Cr膜の(110)面間隔を徐々に大きくできることがわかる。ここでCrのバルク材の場合における(110)面間隔は、2.039オングストロームであることがわかっている。

【0051】Cr膜の(110)面間隔を、バルク材の場合における(110)面間隔(=2.039オングストローム)よりも大きくするには、約280(V)以上のDCバイアスを供給すればよいことがわかる。

【0052】図6と図7を参照して、横軸をCr膜の(110)面間隔、縦軸を膜応力としグラフを作成し

た。その結果を図8に示す。図8に示すように、Cr膜の(110)面間隔を大きくしていくと、前記Cr膜に加わる膜応力はプラスからマイナスへ、すなわち引っ張り応力から圧縮応力に変化することがわかる。

【0053】前述したように、Crのバルク材の場合における(110)面間隔は、2.039オングストロームであるが、図8に示すように、Cr膜の(110)面間隔を2.039オングストロームにすると、膜応力をほぼ0(GPa)にすることができ、(110)面間隔を2.039オングストローム以上にすると、前記Cr膜に圧縮応力を加えることが可能である。そこで本発明では、導体層を形成する金属材料の膜面に対する垂直方向の結晶面間隔を、バルク材の場合の膜面に対する垂直方向の結晶面間隔以上とすることにより、前記導体層に圧縮応力を加えることができ、前記導体層の膜剥がれを防止することが可能である。

【0054】

【発明の効果】以上詳述した本発明によれば、金属材料で薄膜形成された導体層の膜面に対する垂直方向の結晶面間隔を、バルク材の場合における前記結晶面間隔以上で形成することにより、前記導体層に対し圧縮応力を加え、前記導体層の膜剥がれを防止することができる。また、前記導体層に対し圧縮応力を加えることにより、容易に、前記導体層の膜厚を所定の膜厚で形成することが可能である。

【0055】特に本発明では、前記導体層をCr膜で形成することが好ましい。前記Cr膜の結晶構造はbcc構造であり、さらに膜面に対し垂直方向における結晶面は(110)面となっているが、本発明では前記(110)面間隔を2.039オングストローム以上で形成することにより、前記Cr膜に圧縮応力を加え、前記Cr膜の膜剥がれを防止できる。また、導体層をCr膜で形成することにより、「だれ」を防止でき、リセスの発生を防ぐことができる。またCr膜は、従来導体層として使用されていたAuなどに比べ安価である。

【0056】さらに本発明では前記導体層の下に下地層を敷くことが好ましく、前記下地層を敷くことにより、前記導体層の配向性を高め、前記導体層の比抵抗を低下させることができる。なお本発明では前記下地層を β -Ta膜で形成することが好ましい。 β -Ta膜は耐食性に優れている。また従来、導体層として α -Ta膜を使用した場合には、スパッタ装置内にO(酸素)量を適正に調節する工程を必要としたが、 β -Ta膜の成膜の場合には、Oを必要とせず、従来に比べて工程を簡略化できる。

【図面の簡単な説明】

【図1】本発明における第1実施形態の磁気抵抗効果素子(スピンドル型薄膜素子)を記録媒体との対向面側から見た断面図。

【図2】本発明における第2実施形態の磁気抵抗効果素子(スピンドル型薄膜素子)を記録媒体との対向面側から見た断面図。

【図3】本発明における第3実施形態の磁気抵抗効果素子(スピンドル型薄膜素子)を記録媒体との対向面側から見た断面図。

【図4】本発明における第4実施形態の磁気抵抗効果素子(AMR素子)を記録媒体との対向面側から見た断面図。

【図5】本発明で使用されるDCマグネトロンスパッタ装置の構成図。

【図6】DCマグネトロンスパッタ装置の基板側に供給されるDCバイアスの強さと、導体層(Cr膜)に加わる応力との関係を示すグラフ。

【図7】DCマグネトロンスパッタ装置の基板側に供給されるDCバイアスの強さと、導体層(Cr膜)の(110)面間隔との関係を示すグラフ。

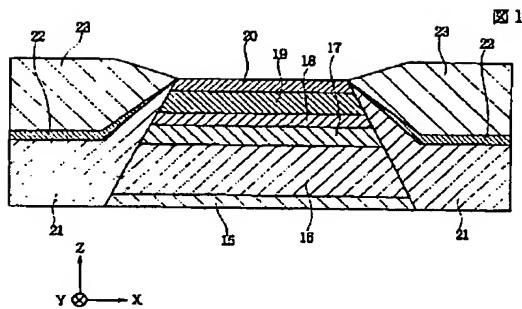
【図8】Cr膜の(110)面間隔と、前記Cr膜に加わる膜応力との関係を示すグラフ。

【図9】従来における磁気抵抗効果素子(スピンドル型薄膜素子)を記録媒体との対向面側から見た断面図。

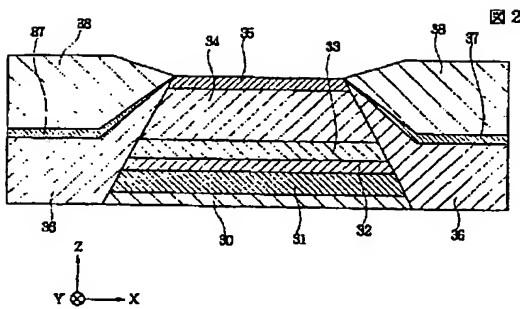
【符号の説明】

- 16、34、41、47 反強磁性層
- 17、33、42、46 固定磁性層
- 18、32、43、45 非磁性導電層
- 19、31、44 フリー磁性層
- 21、36、49、56 ハードバイアス層
- 22、37、50、57 下地層
- 23、38、51、58 導体層
- 52 軟磁性層(SAL層)
- 53 非磁性層(SHUNT層)
- 54 磁気抵抗層(MR層)
- 60 DCマグネトロンスパッタ装置
- 62 ターゲット
- 63 電極部
- 64 基板保持部
- 65 基板
- 66 磁石
- 69、70 DC電源
- 71 積層体

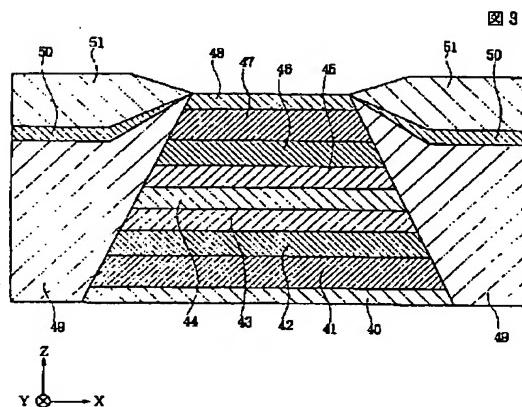
【図1】



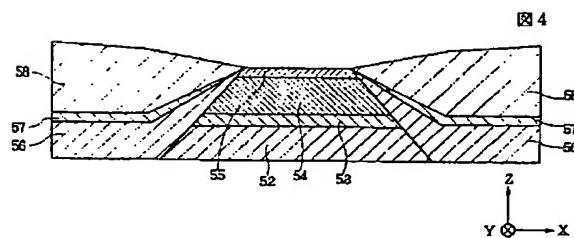
【図2】



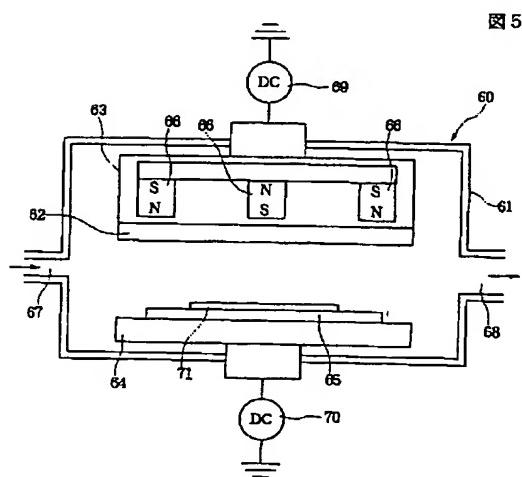
【図3】



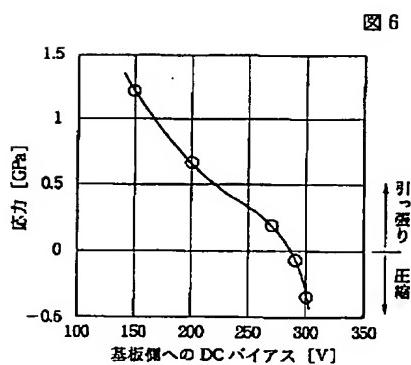
【図4】



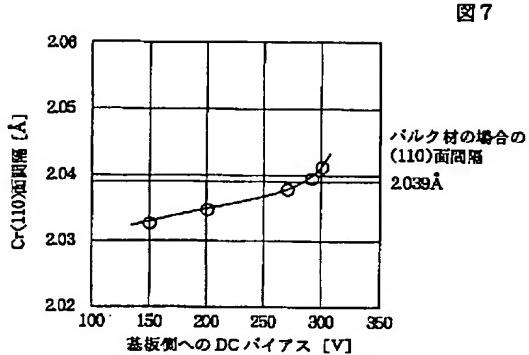
【図5】



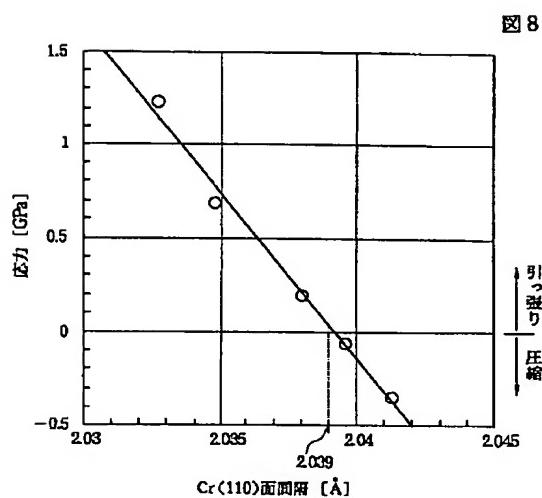
【図6】



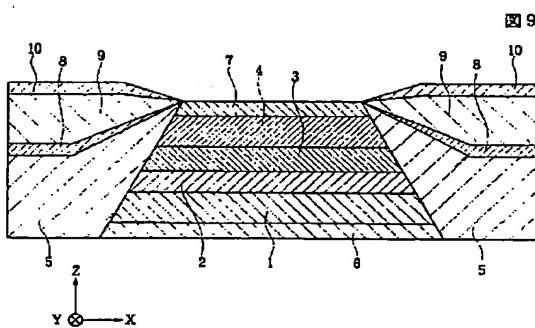
【図7】



【図8】



【図9】



フロントページの続き

Fターム(参考)
 4K029 BA02 BA07 BA16 BB07 BC03
 BC06 BD00 CA05 CA13 DC34
 DC39
 5D034 BA03 BA05 BA09 BA21 DA04
 DA07
 5E049 AA01 AA04 AA07 AC00 AC05
 BA12 DB02 DB12